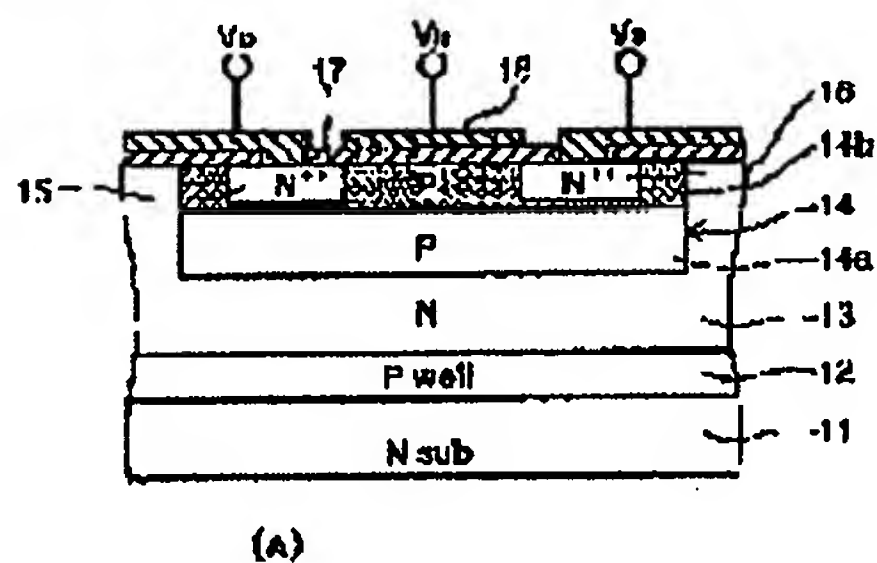


## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297295  
 (43)Date of publication of application : 10.11.1995

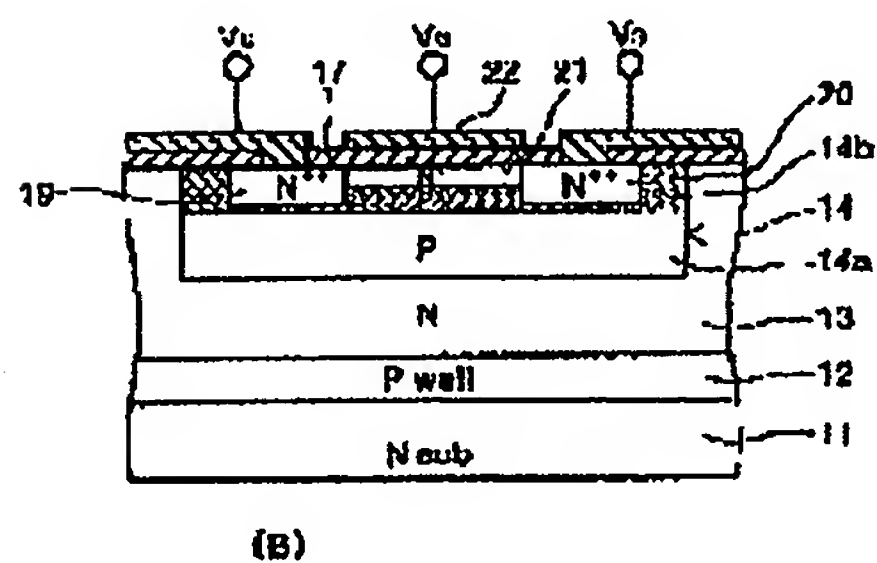
(21)Application number : 06-106034 (71)Applicant SONY CORP  
 (22)Date of filing : 20.04.1994 (72)Inventor : KUSANO IKU

(54) MOS TRANSISTOR STRUCTURE AND CHARGE TRANSFER DEVICE WITH IT



transistor structure that realize a lower drain current ratio of output voltage to input voltage and leakage.

MOS transistor (A) is structured by forming a substrate with a two-layer structure of N++ type impurity regions 15 and 16 on a purity region 14b of the upper layer of two 4 and arranging a gate electrode 18 at the between these regions 15 and 16. A depletion type forming 2 N++ type impurity region 19 and 20 type impurity region 14b, forming N+ type surface side of channel region between these gate electrode 22 on it.



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297295

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 21/8236

H01L 27/088

H01L 29/762

H01L 21/339

H01L 29/78

(21)Application number : 06-106034

(71)Applicant : SONY CORP

(22)Date of filing : 20.04.1994

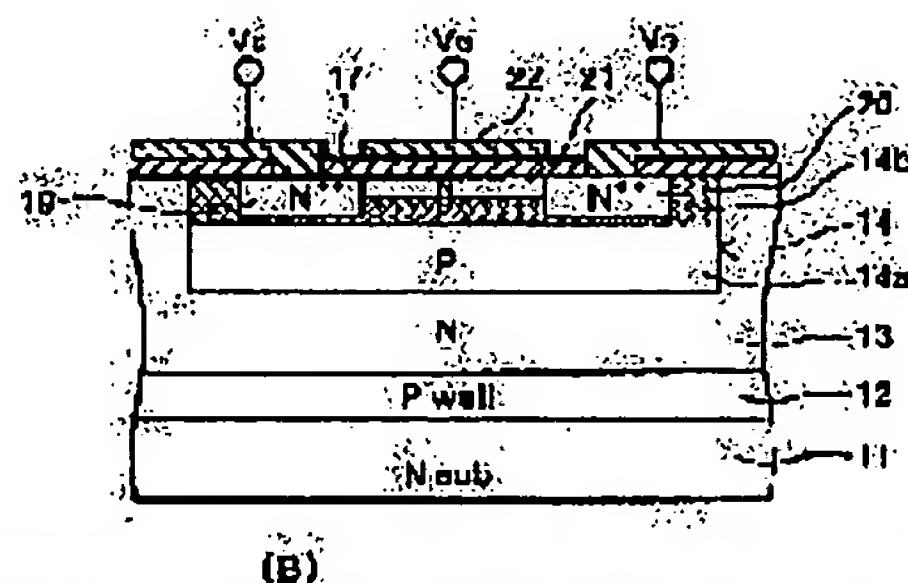
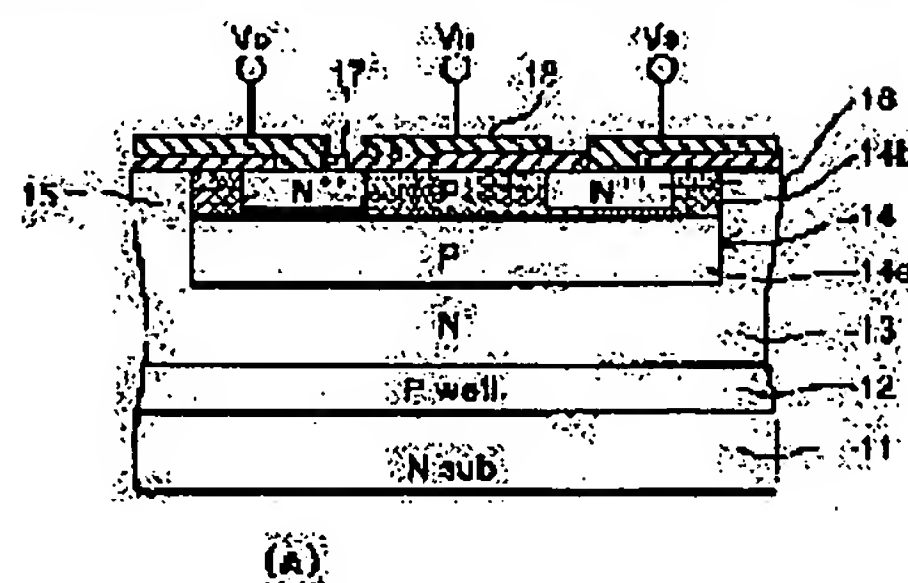
(72)Inventor : KUSANO IKU

## (54) MOS TRANSISTOR STRUCTURE AND CHARGE TRANSFER DEVICE WITH IT

(57)Abstract:

**PURPOSE:** To provide a MOS transistor structure that realize a lower drain voltage without decrease of conversion ratio of output voltage to input voltage and decrease of margin of the output voltage.

**CONSTITUTION:** An enhancement MOS transistor (A) is structured by forming a P type well region 14 that comprises a substrate with a two-layer structure of upper and lower layers, forming two N++ type impurity regions 15 and 16 on a substrate surface side of P+ type impurity region 14b of the upper layer of two layer structured P-type well region 14 and arranging a gate electrode 18 at the upper part of a channel region between these regions 15 and 16. A depletion type MOS transistor (B) is structured by forming 2 N++ type impurity region 19 and 20 on the substrate surface side of P+ type impurity region 14b, forming N+ type impurity region 21 on the substrate surface side of channel region between these regions 15 and 16 and arranging a gate electrode 22 on it.



## LEGAL STATUS

[Date of request for examination]

15.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3240828

[Date of registration]

19.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-297295

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8236

27/088

29/762

H 0 1 L 27/ 08

3 1 1 B

29/ 76

3 0 1 C

審査請求 未請求 請求項の数4 F D (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-106034

(22)出願日 平成6年(1994)4月20日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 草野 郁

鹿児島県国分市野口北5番地1号 ソニー

国分株式会社内

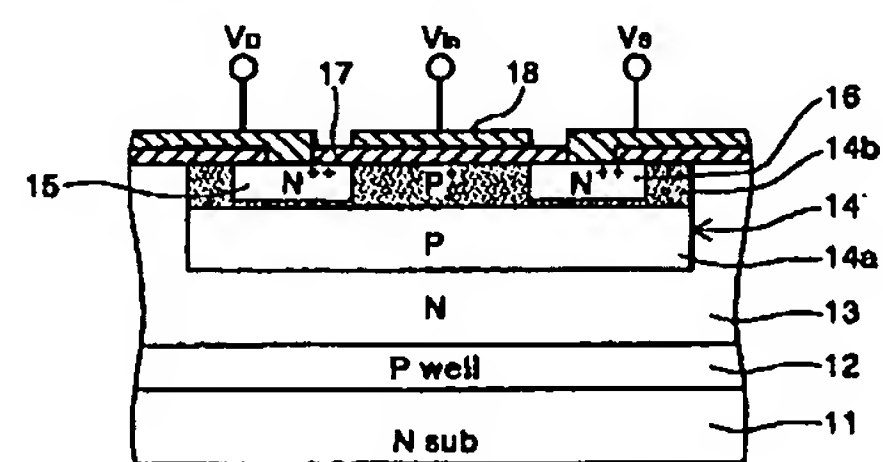
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 MOSトランジスタ構造およびこれを用いた電荷転送装置

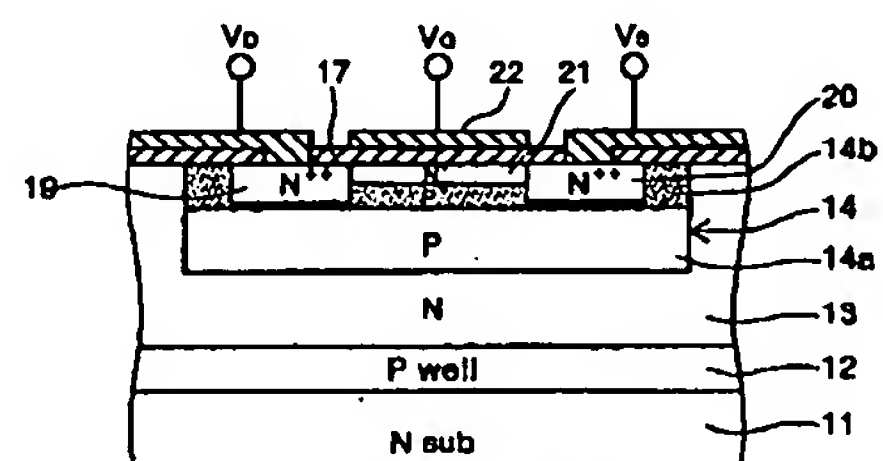
(57)【要約】

【目的】 入力電圧に対する出力電圧の変換割合を低下させたり、出力電圧のマージンを無くすことなくドレイン電圧の低電圧化を可能としたMOSトランジスタ構造を提供する。

【構成】 基板となるP型ウエル領域14を上下2層構造とし、この2層構造のP型ウエル領域14の上層のP<sup>+</sup>型不純物領域14bの基板表面側に形成された2つのN<sup>++</sup>型不純物領域15、16およびこれら領域15、16間のチャネル領域の上方に配されたゲート電極18によってエンハンスメント型MOSトランジスタ(A)を構成する一方、P<sup>+</sup>型不純物領域14bの基板表面側に形成された2つのN<sup>++</sup>型不純物領域19、20、これら領域15、16間のチャネル領域の基板表面側に形成されたN<sup>+</sup>型不純物領域21およびその上方に配されたゲート電極22によってデプレッション型MOSトランジスタ(B)を構成する。



(A) エンハンスメント型



(B) デプレッション型

第1実施例を示す断面図

【特許請求の範囲】

【請求項1】 エンハンスメント型MOSトランジスタとデプレッション型MOSトランジスタとが同一の基板上に形成されたMOSトランジスタ構造であって、前記基板は上下2層構造のP型基板からなり、前記エンハンスメント型MOSトランジスタは、前記2層構造のP型基板の上層の表面側に形成された2つのN型不純物領域と、この2つのN型不純物領域間のチャンネル領域の上方に配されたゲート電極とからなり、前記デプレッション型MOSトランジスタは、前記2層構造のP型基板の上層の表面側に形成された2つのN型不純物領域と、この2つのN型不純物層間のチャンネル領域の表面側に形成されたN型不純物領域と、このN型不純物領域の上方に配されたゲート電極とからなることを特徴とするMOSトランジスタ構造。

【請求項2】 前記2層構造のP型基板は、その上層の不純物濃度が下層の不純物濃度よりも濃く設定されていることを特徴とする請求項1記載のMOSトランジスタ構造。

【請求項3】 前記2層構造のP型基板は、その上層の不純物濃度が下層の不純物濃度よりも薄く設定されていることを特徴とする請求項1記載のMOSトランジスタ構造。

【請求項4】 信号電荷を転送する電荷転送部と、この電荷転送部によって転送された信号電荷を検出する電荷検出部と、この電荷検出部で検出された信号電荷を電気信号に変換して出力する出力部とを備えた電荷転送装置であって、前記出力部が請求項1、2又は3記載のMOSトランジスタ構造を用いて構成されたことを特徴とする電荷転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOSトランジスタ構造およびこれを用いた電荷転送装置に関し、特にエンハンスメント型MOSトランジスタとデプレッション型MOSトランジスタとが同一の基板上に形成されたMOSトランジスタ構造およびこれを用いて出力部を構成した電荷転送装置に関する。

【0002】

【従来の技術】エンハンスメント型MOSトランジスタとデプレッション型MOSトランジスタとの組合せからなるMOSトランジスタ回路は、一例として、固体撮像装置の出力部を構成するソースフォロワ回路として用いられている。ここで、エンハンスメント型MOSトランジスタとは、ゲート電圧を閾値電圧以上に加えたとき、はじめてドレイン電流が流れるタイプのMOSトランジスタであり、デプレッション型MOSトランジスタとは、ゲートに電圧を加えなくてもドレイン電流が流れるタイプのMOSトランジスタである。

【0003】このエンハンスメント型MOSトランジスタおよびデプレッション型MOSトランジスタを製造する場合、製造工程を共通化してコスト低減を図る狙いから、両タイプのトランジスタを同一の基板上に形成したMOSトランジスタ構造が一般的である。また、このMOSトランジスタ構造において、エンハンスメント型MOSトランジスタおよびデプレッション型MOSトランジスタを形成するP型基板は単層で形成されていた。

【0004】

【発明が解決しようとする課題】ところで、固体撮像装置においては、商品価値を高めるために、その出力部で最も電圧の高いドレイン電圧の低電圧化を図っている。しかしながら、エンハンスメント型MOSトランジスタおよびデプレッション型MOSトランジスタを同一の基板上に形成した従来のMOSトランジスタ構造では、ドレイン電圧の低電圧化を図ると、ゲート電圧も低電圧になることから、特にエンハンスメント型MOSトランジスタにおいて、ゲート下のポテンシャルも浅くなるので、ホールのアキュムレーション化が生じることになる。

【0005】ここに、アキュムレーションとは、MOS構造において、酸化膜に接する半導体界面に多数キャリアが多く集まる現象を言う。したがって、従来のMOSトランジスタ構造では、ドレイン電圧の低電圧化を図ると、入力電圧に対する出力電圧の変換割合（ゲイン）が大幅に低下するという問題があった。また、ドレイン電圧の電源バラツキおよびポテンシャルバラツキ等による出力電圧のマーヅンが無くなり、安定した出力電圧が保証できなくなるという問題もあった。

【0006】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、入力電圧に対する出力電圧の変換割合を低下させたり、出力電圧のマーヅンを無くすことなくドレイン電圧の低電圧化を可能としたMOSトランジスタ構造を提供することにある。

【0007】

【課題を解決するための手段】本発明によるMOSトランジスタ構造では、基板が上下2層構造のP型基板からなり、この2層構造のP型基板の上層の表面側に形成された2つのN型不純物領域およびこの2つのN型不純物領域間のチャンネル領域の上方に配されたゲート電極によってエンハンスメント型MOSトランジスタが構成される一方、2層構造のP型基板の上層の表面側に形成された2つのN型不純物領域、この2つのN型不純物層間のチャンネル領域の表面側に形成されたN型不純物領域およびこのN型不純物領域の上方に配されたゲート電極によってデプレッション型MOSトランジスタが構成されている。

【0008】

【作用】上記構成のMOSトランジスタ構造において、例えば2層構造の上層の不純物濃度が下層のそれよりも



濃く設定されていると、ドレイン電圧を低電圧化したとき、エンハンスメント型MOSトランジスタでは、上層の作用によってゲート下のポテンシャルが変化しない。したがって、ホールのアキュムレーション化を防止できる。一方、デプレッション型MOSトランジスタでは、2層化構造により、基板電圧を一定としたときの最大ポテンシャルと最小ポテンシャルの合わせ込みが容易になる。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図6は、本発明が適用される例えばインターライン転送方式のCCD型固体撮像装置の一例を示す構成図である。図6において、2次元配列されて入射光を光電変換し、これによって得られる信号電荷を蓄積する複数の光電変換素子61と、この複数の光電変換素子61の垂直列毎に配されて光電変換素子61から読み出された信号電荷を垂直方向に転送する垂直転送レジスタ62とによって撮像部63が構成されている。

【0010】この撮像部63において、光電変換素子61は例えばフォトダイオードによって構成され、垂直転送レジスタ62はCCDによって構成される。垂直転送レジスタ62に移された信号電荷は、1走査線に相当する部分ずつ順に水平転送レジスタ64へ転送される。この1走査線分の信号電荷は、水平転送レジスタ64によって順次水平方向に転送される。水平転送レジスタ64の最終端には、転送されてきた信号電荷を検出する例えばFDA(Floating Diffusion Amplifier)からなる電荷検出部65が配されている。

【0011】この電荷検出部65において、水平転送レジスタ64によって転送された信号電荷は、出力ゲートOGを介してフローティング・ディフュージョンFDに転送される。このフローティング・ディフュージョンFDの電位は、リセットパルス $\phi_{RG}$ によって所定の周期でリセットドレイン電圧 $V_{RD}$ にリセットされる。電荷検出部65の後段には、電荷検出部65のフローティング・ディフュージョンFDに転送された信号電荷を電圧に変換して出力する出力部66が配されている。

【0012】この出力部66は、駆動側MOSトランジスタ $Q_{1D}$ 、 $Q_{2D}$ および負荷側MOSトランジスタ $Q_{1L}$ 、 $Q_{2L}$ からなる2段のソースフォロワ回路によって構成されている。そして、負荷側MOSトランジスタ $Q_{1L}$ 、 $Q_{2L}$ の各ゲートは、直流電源67によって共通にバイアスされており、初段の駆動側MOSトランジスタ $Q_{1D}$ のゲートは、電荷検出部65のフローティング・ディフュージョンFDに接続されている。

【0013】この出力部66において、初段の駆動側MOSトランジスタ $Q_{1D}$ はエンハンスメント型MOSトランジスタ構成となっており、2段目の駆動側MOSトランジスタ $Q_{2D}$ および負荷側MOSトランジスタ $Q_{1L}$ 、 $Q_{2L}$ はデプレッション型MOSトランジスタ構成となっ

ている。以下、このCCD型固体撮像装置の出力部66を構成するソースフォロワ回路に適用された本発明の実施例について説明する。なお、出力部66は、CCD型固体撮像装置の装置本体と同一の基板上に形成されるものとして説明する。

【0014】図1は、本発明によるMOSトランジスタ構造の第1実施例を示す断面図であり、(A)はエンハンスメント型MOSトランジスタの断面構造を、(B)はデプレッション型MOSトランジスタの断面構造をそれぞれ示している。図1において、装置本体と同一のN型シリコン基板11上に第1のP型ウェル領域12が形成され、さらにN型不純物領域13を介して第2のP型ウェル領域14が出力部66のP型基板として形成されている。

【0015】この第2のP型ウェル領域14は、下層のP型不純物領域14aと、この下層のP型不純物領域14aよりも濃度の濃い上層の $P^+$ 型不純物領域14bとからなる2層構造となっている。この第2のP型ウェル領域14を形成するに当たっては、第2のP型ウェル領域14を形成する領域に、マスクを用いて薄い濃度の不純物イオンを高エネルギーでイオン注入し、続いて同じマスクを用いて濃い濃度の不純物イオンを低エネルギーでイオン注入する。これにより、第2のP型ウェル領域14を容易に2層化できる。

【0016】図1(A)において、第2のP型ウェル領域14の上層の $P^+$ 型不純物領域14bの基板表面側には、ドレイン領域およびソース領域となる2つの $N^{++}$ 型不純物領域15、16が形成されている。そして、2つの $N^{++}$ 型不純物領域15、16間のチャネル領域の上方には、ゲート酸化膜17を介してゲート電極18が配されている。これにより、エンハンスメント型MOSトランジスタが構成されている。

【0017】図1(B)において、第2のP型ウェル領域14の上層の $P^+$ 型不純物領域14bの基板表面側には、ドレイン領域およびソース領域となる2つの $N^{++}$ 型不純物領域19、20が形成され、さらにこの2つの $N^{++}$ 型不純物領域15、16間のチャネル領域の基板表面側には $N^+$ 型不純物領域21が形成されている。そして、 $N^+$ 型不純物領域21の上方には、ゲート酸化膜17を介してゲート電極22が配されている。これにより、デプレッション型MOSトランジスタが構成されている。

【0018】ここで、従来例について考察すると、従来のMOSトランジスタ構造においては、P型基板である第2のP型ウェル領域14が単層構造であった。このため、ドレイン電圧 $V_D$ を低電圧化した場合、ゲート電圧 $V_G$ も低電圧となるが、従来のエンハンスメント型MOSトランジスタでは、図3(A)に破線で示すように、ゲート下のポテンシャルも浅くなるので、ホールのアキュムレーション化が生じる問題があった。なお、実線

は、低電圧化前のポテンシャルを示している。

【0019】一方、デプレッション型MOSトランジスタでも、エンハンスメント型MOSトランジスタと同条件で第2のP型ウェル領域14を形成していることにより、図3(B)に示すように、基板電圧を一定としたときの最大ポテンシャルと最小ポテンシャルのポテンシャルの合わせ込みが難しいため、デプレッション型MOSトランジスタで支配的となるドレイン電流およびN型シリコン基板11～ゲート電極間で生じるパンチスルーが問題となる。

【0020】これに対し、上記構成の第1実施例によるMOSトランジスタ構造では、第2のP型ウェル領域14の基板表面側が濃度の濃いP<sup>+</sup>型不純物領域14bとなっていることにより、エンハンスメント型MOSトランジスタ(A)において、ドレイン電圧V<sub>D</sub>を低電圧化し、ゲート電圧V<sub>G</sub>も低電圧となっても、図2(A)に破線で示すように、ゲート下のポテンシャルが変化しないので、第2のP型ウェル領域14のホールのアキュムレーション化を防止できる。

【0021】これにより、ドレイン電圧V<sub>D</sub>を低電圧化しても、入力電圧に対する出力電圧の変換割合が大幅に低下したり、ドレイン電圧の電源バラツキおよびポテンシャルバラツキ等により出力電圧のマージンが無くなったりすることもない。一方、デプレッション型MOSトランジスタ(B)では、第2のP型ウェル領域14を2層構造としたことにより、図2(B)に示すように、最大ポテンシャルと最小ポテンシャルの合わせ込みが容易になるため、N型シリコン基板11～ゲート電極22間で生じるパンチスルーを防止できる。

【0022】図4は、本発明によるMOSトランジスタ構造の第2実施例を示す断面図であり、(A)はエンハンスメント型MOSトランジスタの断面構造を、(B)はデプレッション型MOSトランジスタの断面構造をそれぞれ示している。なお、図中、図1と同等部分には同一符号を付して示してある。図4において、装置本体と同一のN型シリコン基板11上に第1のP型ウェル領域12が形成され、さらにN型不純物領域13を介して第2のP型ウェル領域24が図6に示す出力部66のP型基板として形成されている点は、第1実施例の場合と同様である。

【0023】この第2のP型ウェル領域24は、下層のP<sup>+</sup>型不純物領域24aと、この下層のP型不純物領域24aよりも濃度の薄い上層のP型不純物領域24bとからなる2層構造となっている。この第2のP型ウェル領域24を形成するに当たっては、第2のP型ウェル領域24を形成する領域に、マスクを用いて濃い濃度の不純物イオンを高エネルギーでイオン注入し、続いて同じマスクを用いて薄い濃度の不純物イオンを低エネルギーでイオン注入する。これにより、第2のP型ウェル領域24を容易に2層化できる。

【0024】図4(A)において、第2のP型ウェル領域24の上層のP型不純物領域24bの基板表面側には、ドレイン領域およびソース領域となる2つのN<sup>++</sup>型不純物領域15、16が形成されている。そして、2つのN<sup>++</sup>型不純物領域15、16間のチャネル領域の上方には、ゲート酸化膜17を介してゲート電極18が配されている。これにより、エンハンスメント型MOSトランジスタが構成されている。

【0025】図4(B)において、第2のP型ウェル領域24の上層のP型不純物領域24bの基板表面側には、ドレイン領域およびソース領域となる2つのN<sup>++</sup>型不純物領域19、20が形成され、さらにこの2つのN<sup>++</sup>型不純物領域15、16間のチャネル領域の基板表面側にはN<sup>+</sup>型不純物領域21が形成されている。そして、N<sup>+</sup>型不純物領域21の上方には、ゲート酸化膜17を介してゲート電極22が配されている。これにより、デプレッション型MOSトランジスタが構成されている。

【0026】上記構成の第2実施例によるMOSトランジスタ構造においては、第2のP型ウェル領域24を2層化し、濃度の濃いP<sup>+</sup>型不純物領域24aが形成したことにより、エンハンスメント型MOSトランジスタ(A)では、図5(A)に実線で示すように、ゲート下のポテンシャルが浅くなり、ホールのアキュムレーション化に対して十分なマージンがあるため、ドレイン電圧V<sub>D</sub>を低電圧化しても、同図に破線で示す如くホールのアキュムレーション化が生じない。

【0027】一方、デプレッション型MOSトランジスタ(B)では、第2のP型ウェル領域24を2層化し、ゲート下の深い位置に上層よりも濃度の高いP<sup>+</sup>型不純物領域24aを形成したことにより、基板電圧を従来と同じ電圧に設定した場合、P<sup>+</sup>型不純物領域24aのポテンシャルが従来よりも浅くなる。これにより、ドレイン電圧を低電圧化した場合、図5(B)に破線で示すように、ゲート下のポテンシャルがより浅くなるため、N型シリコン基板11～ゲート電極22間で生じるパンチスルーの問題を改善できる。

【0028】なお、上記実施例においては、本発明によるMOSトランジスタ構造を、光電変換素子が2次元配列されたいわゆるCCDエリアセンサにおける出力部に適用した場合について説明したが、光電変換素子が一列に配列されたいわゆるCCDラインセンサにおける出力部や、CCD型遅延素子における出力部にも同様に適用可能である。

【0029】さらには、本発明は、電荷転送装置における出力部への適用に限定されるものではなく、エンハンスメント型MOSトランジスタとデプレッション型MOSトランジスタとが同一の基板上に形成されたMOSトランジスタ構造全般に適用し得るものである。

【0030】

【発明の効果】以上説明したように、本発明によれば、エンハンスメント型MOSトランジスタとデプレッション型MOSトランジスタとが同一のP型基板上に形成されたMOSトランジスタ構造において、P型基板を上下2層構造とし、例えば上層の不純物濃度を下層のそれよりも濃く設定することにより、ドレイン電圧を低電圧化したとき、エンハンスメント型MOSトランジスタでは、ゲート下のポテンシャルが変化しないので、ホールのアキュムレーション化を防止でき、デプレッション型MOSトランジスタでは、基板電圧を一定としたときの最大ポテンシャルと最小ポテンシャルの合わせ込みが容易になるので、基板～ゲート間で生じるパンチスルーを防止できることになる。

【0031】このように、ドレイン電圧を低電圧化した際に、ゲート電圧も低電圧となって特にエンハンスメント型MOSトランジスタで問題となるホールのアキュムレーション化を防止できることにより、入力電圧に対する出力電圧の変換割合を低下させたり、出力電圧のマージンを無くすことなくドレイン電圧の低電圧化が可能となる。

【0032】また、固体撮像装置における電荷転送部や

遅延素子などの電荷転送装置の出力部を、本発明によるMOSトランジスタ構造を用いて構成することにより、入力電圧に対する出力電圧の変換割合を低下させたり、出力電圧のマージンを無くすことなくドレイン電圧の低電圧化が可能となるので、出力部で最も高いドレイン電圧の低電圧化によって固体撮像装置や遅延素子などの商品価値を高めることができることにもなる。

【図面の簡単な説明】

【図1】 本発明の第1実施例を示す断面図である。

【図2】 第1実施例に係るポテンシャル図である。

【図3】 従来例に係るポテンシャル図である。

【図4】 本発明の第2実施例を示す断面図である。

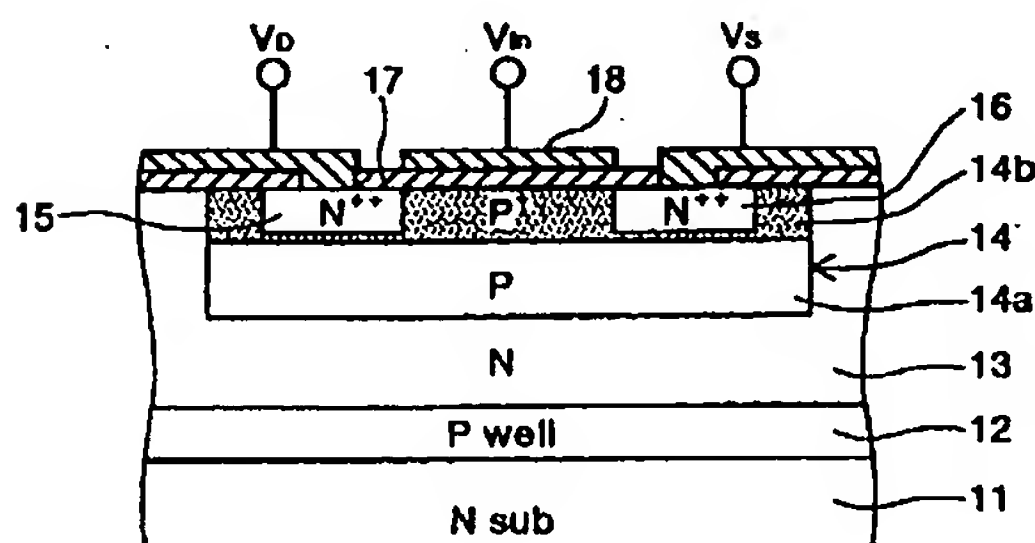
【図5】 第2実施例に係るポテンシャル図である。

【図6】 CCD型固体撮像装置の一例の構成図である。

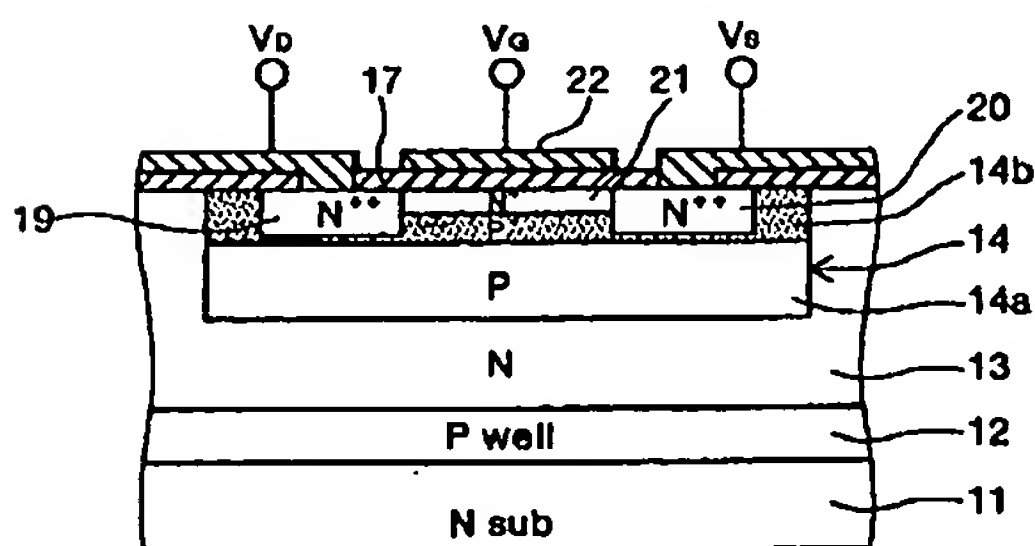
【符号の説明】

- 11 N型シリコン基板
- 12 第1のPウェル領域
- 14, 24 第2のPウェル領域 (P型基板)
- 15, 16, 19, 20 N<sup>++</sup>型不純物領域
- 21 N<sup>+</sup>型不純物領域
- 18, 22 ゲート電極

【図1】



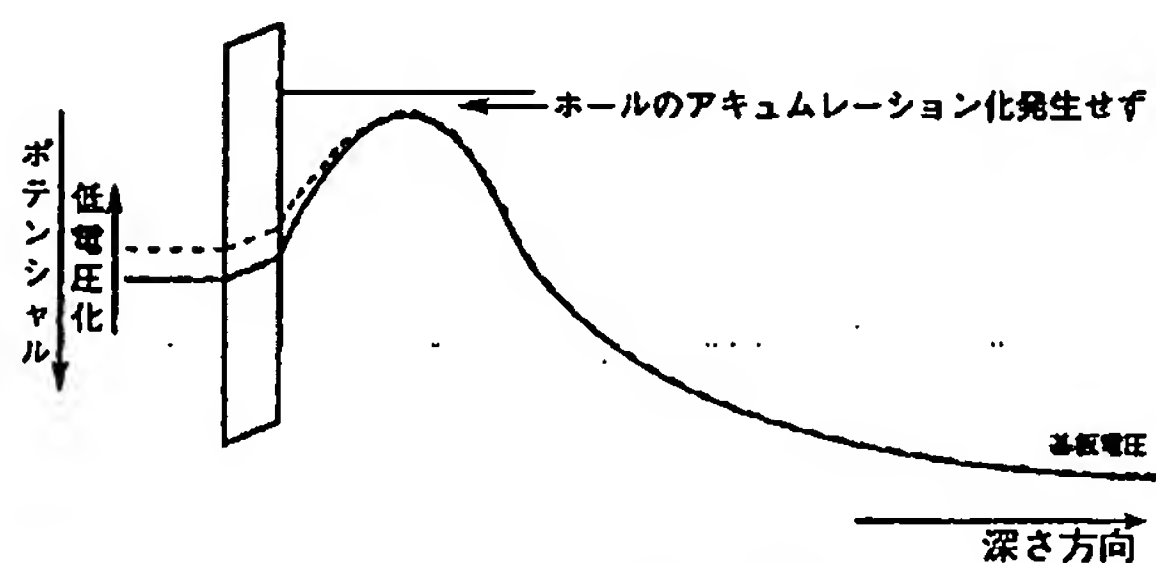
(A) エンハンスメント型



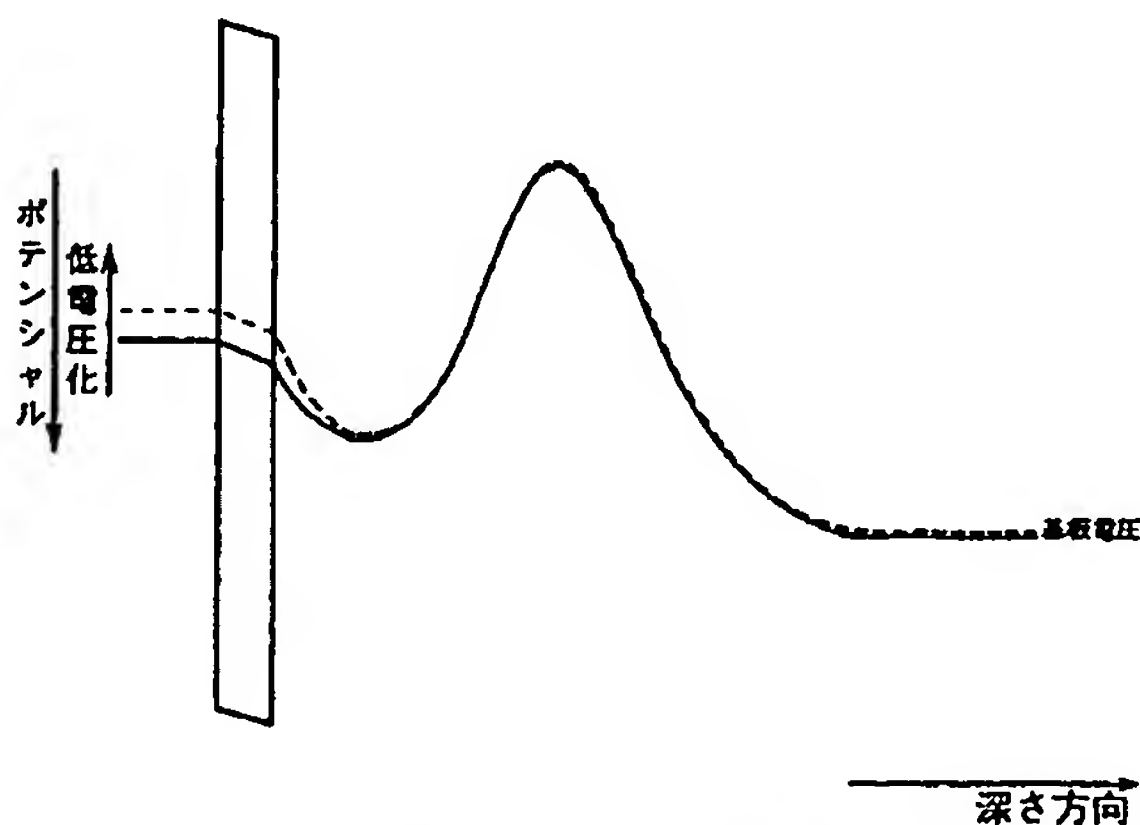
(B) デプレッション型

第1実施例を示す断面図

【図2】



(A) エンハンスメント型

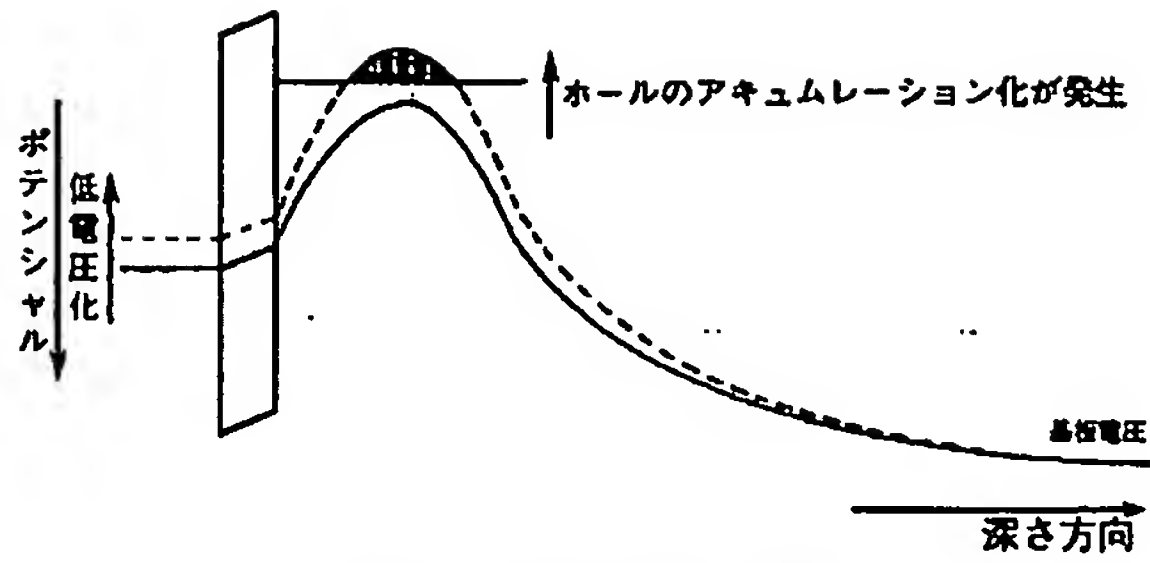


(B) デプレッション型

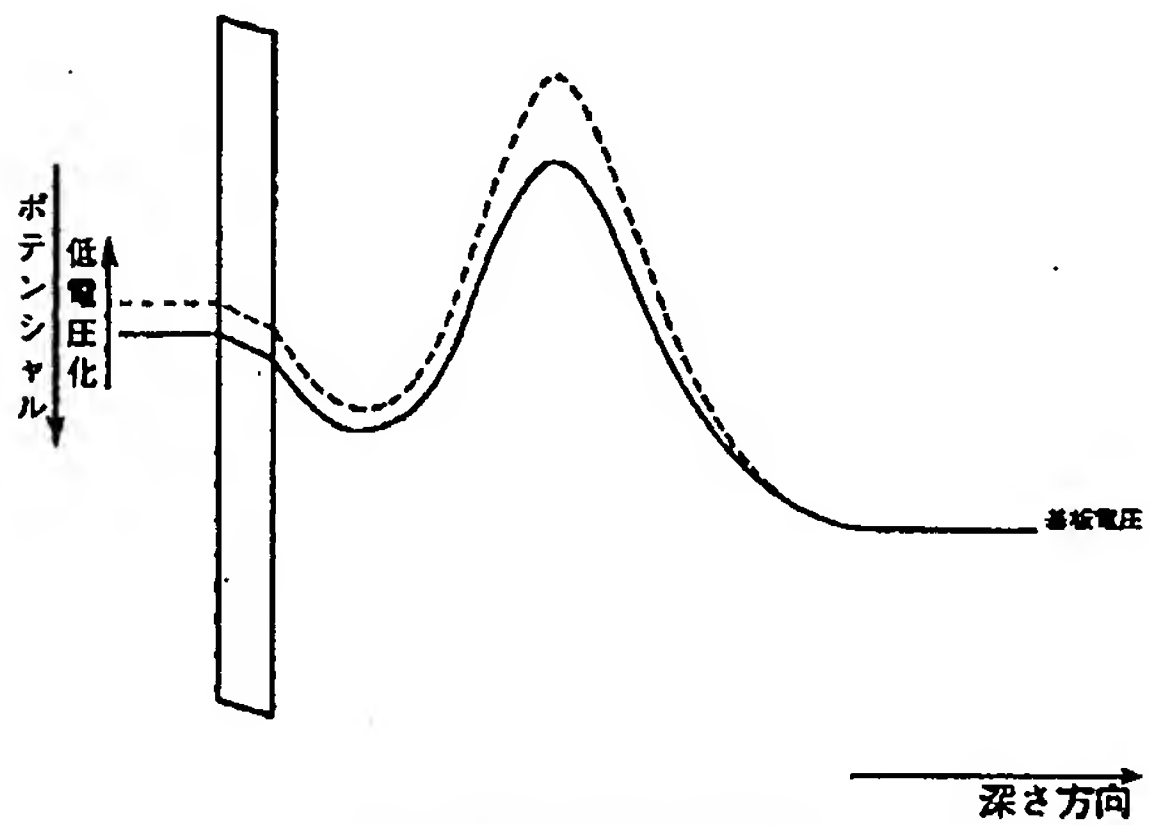
第1実施例に係るポテンシャル図



【図3】



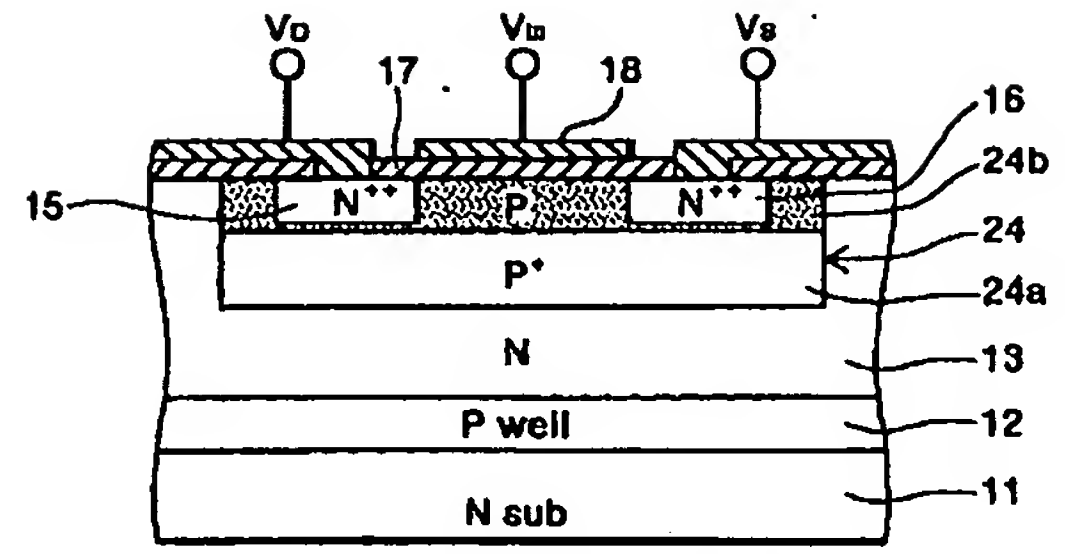
(A) エンハンスメント型



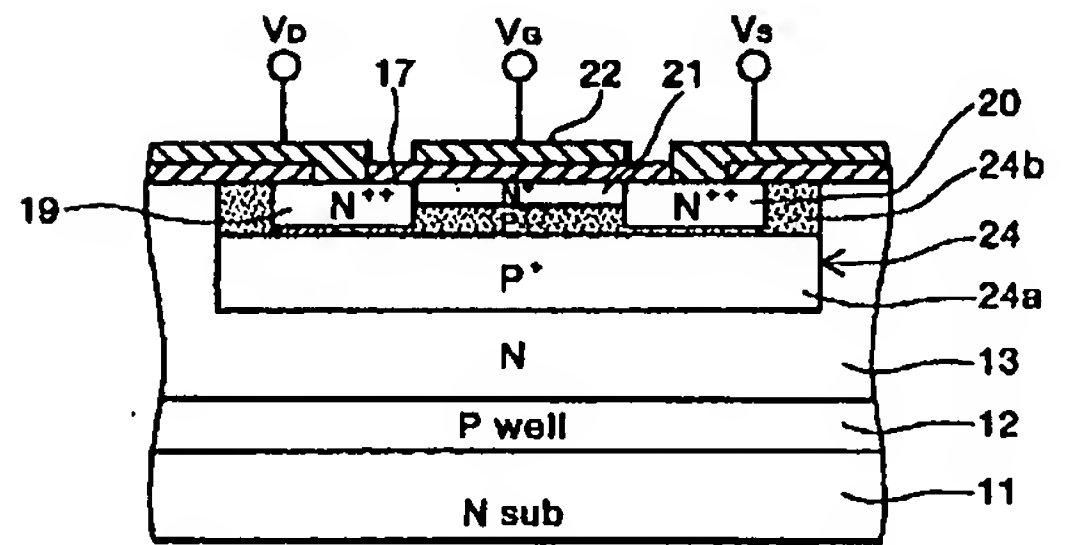
(B) デプレッション型

従来例に係るポテンシャル図

【図4】



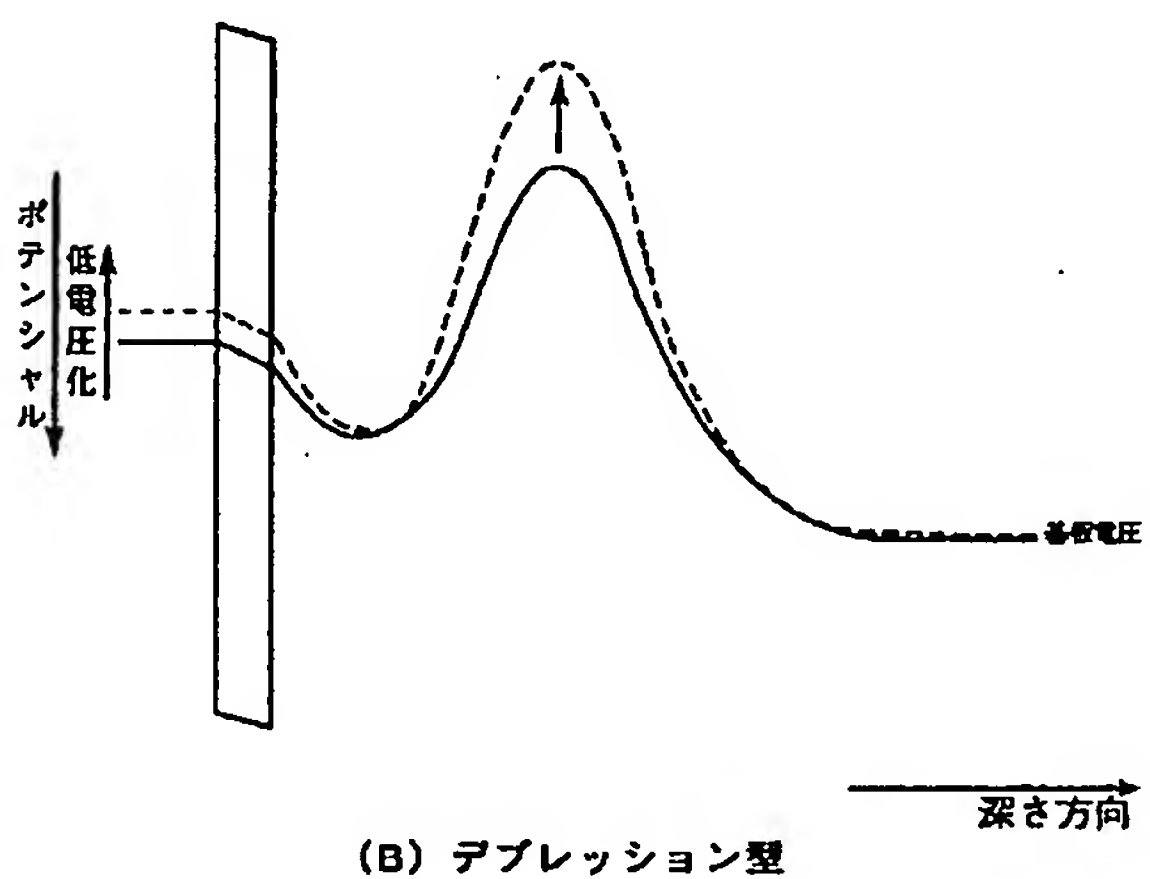
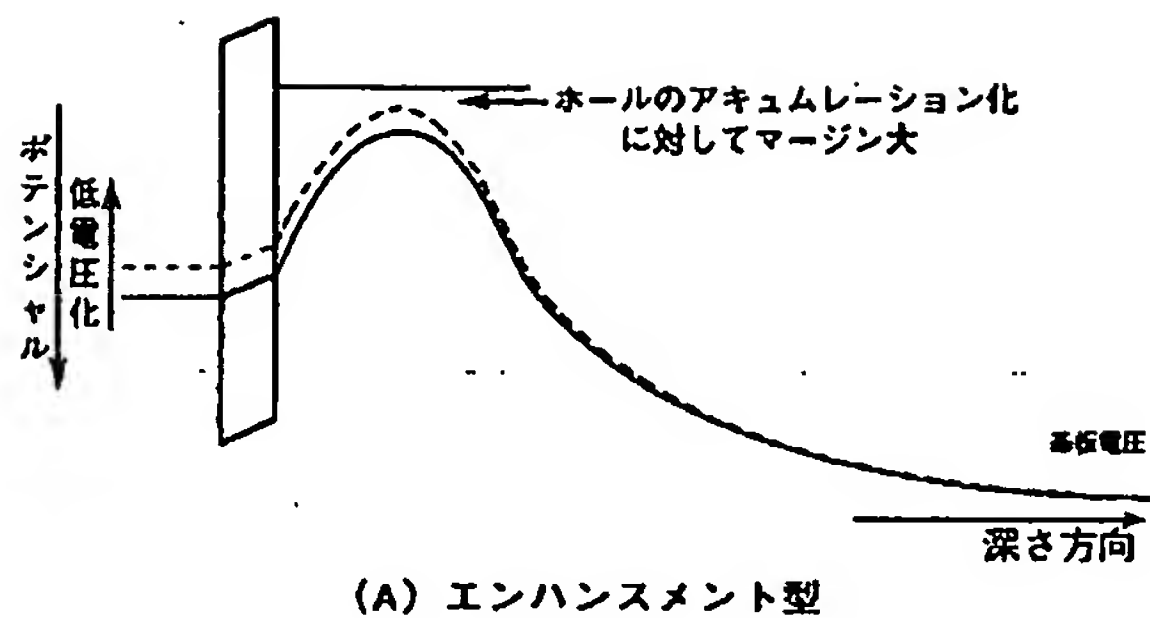
(A) エンハンスメント型



(B) デプレッション型

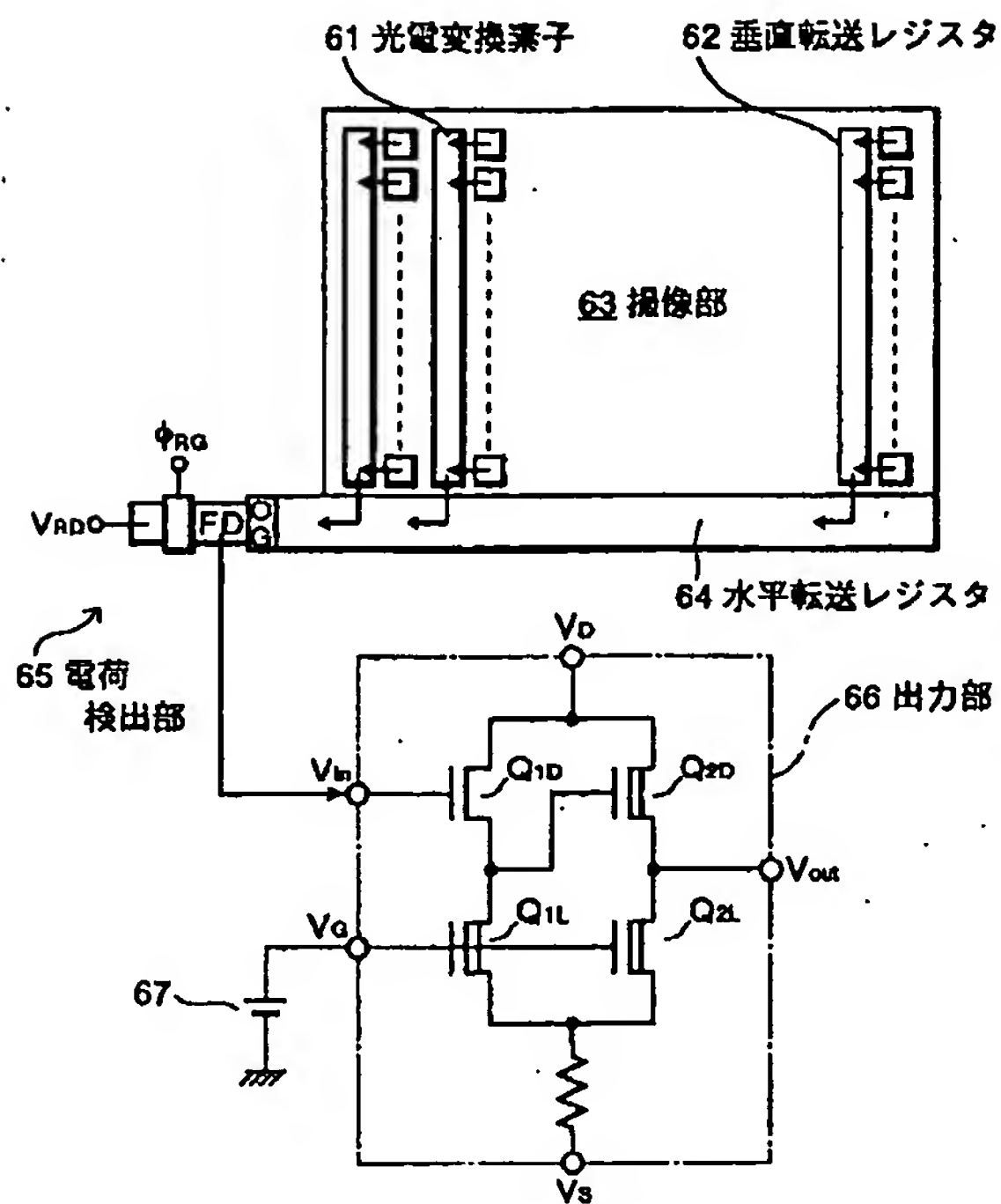
第2実施例を示す断面図

【図5】



第2実施例に係るポテンシャル図

【図6】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 21/339  
29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 H